

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2003032060 A

(43) Date of publication of application: 31.01.03

(51) Int. Cl

**H03H 3/02**  
**H01L 41/08**  
**H01L 41/22**  
**H03H 9/17**

(21) Application number: 2001217177

(22) Date of filing: 17.07.01

(71) Applicant: FUJITSU LTD FUJITSU MEDIA DEVICE KK

(72) Inventor: NAKATANI TADASHI  
MIYASHITA TSUTOMU  
SATO YOSHIO

**(54) METHOD OF MANUFACTURING PIEZOELECTRIC THIN FILM RESONANCE DEVICE AND THE PIEZOELECTRIC THIN FILM RESONANCE DEVICE MANUFACTURED BY THE METHOD**

(57) Abstract:

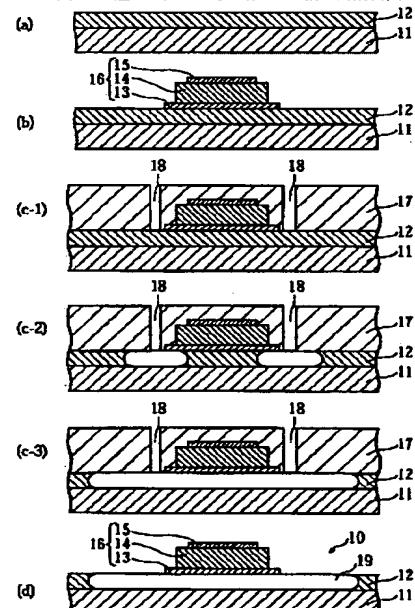
**PROBLEM TO BE SOLVED:** To provide a method of manufacturing a piezoelectric thin film resonance device that can provide an air gap excellently under its lower electrode and to provide the piezoelectric thin film resonance device manufactured by the method.

**SOLUTION:** The method of manufacturing the piezoelectric thin film resonance device includes the steps of: providing a support film 12 on the top of a substrate 11; forming a multilayer resonator 16 comprising a 1st electrode film 13 in contact with the support film 12, a 2nd electrode film 15 and a piezoelectric film 14 interposed between them on top of the support film 12; providing a resist film 17 for covering the layered resonator 16 and the support film 12; providing a hole 18 so as to expose part of the surface of the support film 12 to the resist film 17; introducing etching liquid from the hole 18, removing part of the lower region of the multilayer resonator 16 in the support film 12 and providing an air gap 19 to

the removed part; and removing the resist film 17.

**COPYRIGHT: (C)2003,JPO**

図1の一連の工程における線II-IIに沿った断面図



(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-32060

(P2003-32060A)

(43)公開日 平成15年1月31日 (2003.1.31)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テマコード(参考)

H 03 H 3/02

H 03 H 3/02

B 5 J 1 0 8

H 01 L 41/08

9/17

F

41/22

H 01 L 41/22

Z

H 03 H 9/17

41/08

D

審査請求 未請求 請求項の数 7 O L (全 13 頁)

(21)出願番号

特願2001-217177(P2001-217177)

(22)出願日

平成13年7月17日 (2001.7.17)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(71)出願人 398067270

富士通メディアデバイス株式会社

神奈川県横浜市港北区新横浜二丁目3番地  
12

(74)代理人 100086380

弁理士 吉田 稔 (外2名)

最終頁に続く

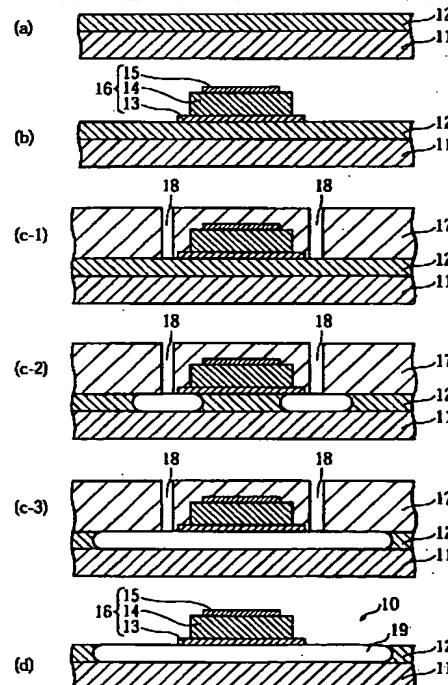
(54)【発明の名称】 壓電薄膜共振素子の製造方法およびこれにより製造される圧電薄膜共振素子

(57)【要約】

【課題】 下部電極の下方に良好に空隙部を設けることができる圧電薄膜共振素子の製造方法、および、これにより製造された圧電薄膜共振素子を提供すること。

【解決手段】 圧電薄膜共振素子の製造において、基板11上に支持膜12を設ける工程と、支持膜12上に、支持膜12に接する第1電極膜13、第2電極膜15、およびこれらに挟まれた圧電膜14からなる積層共振体16を形成する工程と、積層共振体16および支持膜12を覆うレジスト膜17を設ける工程と、レジスト膜17に対して、支持膜12の表面の一部が露出するように孔部18を設ける工程と、孔部18からエッティング液を導入し、支持膜12における積層共振体16の下方領域の一部を除去して空隙部19を設ける工程と、レジスト膜17を除去する工程と、を含むこととした。

図1の一連の工程における線II-IIに沿った断面図



## 【特許請求の範囲】

【請求項1】 基板上に支持膜を設ける工程と、前記支持膜上に、前記支持膜に接する第1電極膜、第2電極膜、およびこれらに挟まれた圧電膜からなる積層共振体を形成する工程と、前記積層共振体および前記支持膜を覆うレジスト膜を設ける工程と、前記レジスト膜に対して、前記支持膜の表面の一部が露出するように孔部を設ける工程と、前記孔部からエッティング液を導入し、前記支持膜における前記積層共振体の下方領域の一部を除去して空隙部を設ける工程と、前記レジスト膜を除去する工程と、を含むことを特徴とする、圧電薄膜共振素子の製造方法。

【請求項2】 基板上に支持膜を設ける工程と、前記支持膜上に、犠牲層をパターン形成する工程と、前記支持膜上に、前記犠牲層の少なくとも一部に重ねて、前記支持膜および前記犠牲層に接する第1電極膜、第2電極膜、およびこれらに挟まれた圧電膜からなる積層共振体を形成する工程と、前記積層共振体、前記犠牲層および前記支持膜を覆うレジスト膜を設ける工程と、前記レジスト膜に対して、前記犠牲層の表面の一部が露出するように孔部を設ける工程と、前記孔部から第1エッティング液を導入することによって前記犠牲層を除去し、前記積層共振体の下方領域に前空隙部を設ける工程と、前記孔部から第2エッティング液を導入し、前記支持膜における前記積層共振体の下方領域において、前記前空隙部を拡大して空隙部を設ける工程と、前記レジスト膜を除去する工程と、を含むことを特徴とする、圧電薄膜共振素子の製造方法。

【請求項3】 前記レジスト膜に対して前記孔部を設ける工程は、前記第1電極膜における前記犠牲層に重なる部位の表面を露出させる工程と、当該露出面を除去することによって前記犠牲層の表面の一部を露出させる工程とを含む、請求項2に記載の圧電薄膜共振素子の製造方法。

【請求項4】 前記犠牲層を設けた後、前記支持膜と前記犠牲層とが面一状となるように、前記支持膜上に追加支持膜材料を積層する工程を含む、請求項2または3に記載の圧電薄膜共振素子の製造方法。

【請求項5】 前記犠牲層は、前記第1電極膜よりも薄く形成される、請求項2から4のいずれか1つに記載の圧電薄膜共振素子の製造方法。

【請求項6】 下部電極と、上部電極と、それらの間に挟まれた圧電体とから成る積層共振体を基体上に支持して成る構成において、

前記下部電極と前記基体との間に、所定範囲の第1の空隙と、第1の空隙に連続してそれよりも広い範囲の第2

の空隙とを有して成ることを特徴とする、圧電薄膜共振素子。

【請求項7】 前記第1の空隙および前記第2の空隙は、基体表面に重ねて設けられた互いに異なるエッティング液で蝕刻可能な絶縁材料層を液体蝕刻することによって形成されたものである、請求項6に記載の圧電薄膜共振素子。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、圧電薄膜共振素子の製造方法およびこれにより製造される圧電薄膜共振素子に関する。

## 【0002】

【従来の技術】 携帯電話に代表される移動通信機器の急速な普及により、弾性表面波素子などによって構成される小型軽量フィルタの需要は急激に増大している。弾性表面波フィルタは、急峻なカットオフ特性を有し、小型軽量であることから、特に携帯電話におけるRF (radio frequency) フィルタやIF (intermediate-frequency) フィルタとして広く利用されている。

【0003】 弹性表面波フィルタは、圧電基板と、その上に設けられた樹形電極とからなり、樹形電極に印可される交流電圧に従って、圧電基板表面において、特定の周波数帯域の弾性波を励振するものである。弾性表面波フィルタでは、樹形電極に大電力が印可されると、樹形電極自体が弾性波による歪みを受けて物理的に断線してしまう場合があり、この不具合は、樹形電極の電極指幅が細くなるほど、即ち高周波フィルタであるほど、顕著になる。このように、弾性表面波フィルタは耐電力性に難点があり、特に、アンテナ分波器などのフロントエンド部のフィルタとして用いる場合には問題がある。

【0004】 大電力の用途に適したフィルタを構成するための有力な手段としては、圧電薄膜共振素子 (Film Bulk Acoustic Resonator、以下「FBAR」と記す) が知られている。圧電薄膜共振素子は、基板と、金属薄膜電極により上下から挟まれた圧電薄膜とからなり、基板に接する下部電極の下側に空隙部が設けられた構造を有する。上下の電極に電圧を印可すると、圧電効果により、これらに挟まれた圧電膜はその厚み方向に振動し、電気的共振特性を示す。そして、このような共振器をはしご型に接続することによって、バンドパスフィルタが構成される。このようなFBARフィルタは非常に優れた耐電力性を有することが報告されている。下部電極の下方に設けられる空隙部は、電気機械結合係数を高め、通過帯域幅の広いバンドパスフィルタを実現するのに資する。

【0005】 下部電極の下方に空隙部を設ける技術は、例えば、特開平6-204776号公報および特開2000-69594号公報に開示されている。具体的には、特開平6-204776号公報によると、単結晶シ

リコン基板をKOH溶液などを用いて異方性エッティングすることにより、基板裏面から、空隙部としての貫通孔が開設される。一方、特開2000-69594号公報によると、まず、基板上に窪みを形成し、そこへ犠牲層を堆積させる。次いで、研磨によって窪みを填塞する犠牲層以外を除去した後、犠牲層を覆うように下部電極を設け、更に圧電膜および上部電極を積層形成する。そして、最後に犠牲層を除去することによって、下部電極の下方に空隙部が形成される。

【0006】しかしながら、特開平6-204776号公報の方法では、裏面から貫通孔が開設された基板は機械的強度が低下しているため、製造歩留りの低下を招くとともに、ウェハからのダイシング工程やパッケージへの実装工程において、破損を回避するための技術的困難性を伴ってしまう。また異方性エッティングを行うと、貫通孔が約55°の傾斜角を持って広がり形状となってしまうので、はしご型接続などにおける共振器の近接配置において不利であり、素子の小型化を充分に図ることができなくなる。一方、特開2000-69594号公報の方法では、基板に窪みを設ける工程、犠牲層を堆積する工程、犠牲層を研磨する工程など、工程数が非常に多く、低コストで歩留まりのよい製造を達成するのが難しい。

【0007】また、特開平8-148968号公報にも、下部電極の下方に空隙部を有する圧電薄膜共振素子について開示されている。具体的には、下部電極の下方に空隙部を有する圧電薄膜共振素子において、下部電極上に形成される圧電膜の構成材料としてセラミックを採用する技術が開示されている。しかしながら、当該公報には、具体的な空隙部形成方法ないし圧電薄膜共振素子製造方法は開示されていない。

【0008】本発明は、このような事情のもとで考え出されたものであって、上述の従来の問題点を解消ないし軽減することを課題とし、犠牲層材料を除去するための研磨技術を用いずに、下部電極の下方に良好に空隙部を設けることができる圧電薄膜共振素子の製造方法、および、これにより製造された圧電薄膜共振素子を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明の第1の側面によると、圧電薄膜共振素子の製造方法が提供される。この製造方法は、基板上に支持膜を設ける工程と、支持膜上に、支持膜に接する第1電極膜、第2電極膜、およびこれらに挟まれた圧電膜からなる積層共振体を形成する工程と、積層共振体および支持膜を覆うレジスト膜を設ける工程と、レジスト膜に対して、支持膜の表面の一部が露出するように孔部を設ける工程と、孔部からエッティング液を導入し、支持膜における積層共振体の下方領域の一部を除去して空隙部を設ける工程と、レジスト膜を除去する工程と、を含むことを特徴とする。

【0010】このような構成によると、圧電薄膜共振素子において、基板に接する第1電極膜ないし下部電極の下方に、良好に空隙部を形成することができる。具体的には、支持膜と積層共振体とを覆うレジスト膜に対して支持膜表面の一部が露出するように設けた孔部を介して、エッティング液を導入することにより、エッティング液が、支持膜を侵食して積層共振体の下方領域に回り込み、空隙部が形成される。このような方法は、基板に窪みを形成する工程や犠牲層材料の平坦化研磨工程などが必要であるため、製造歩留りに優れる。また、基板自体は、貫通孔を有さないので、機械的強度に優れ、実装が容易である。このように、本発明の第1の側面によると、犠牲層材料の研磨技術を用いることなく空隙部を設けることができ、良好な圧電薄膜共振素子を製造することができるるのである。

【0011】本発明の第2の側面によると、圧電薄膜共振素子の別の製造方法が提供される。この製造方法は、基板上に支持膜を設ける工程と、支持膜上に、犠牲層をパターン形成する工程と、支持膜上に、犠牲層の少なくとも一部に重ねて、支持膜および犠牲層に接する第1電極膜、第2電極膜、およびこれらに挟まれた圧電膜からなる積層共振体を形成する工程と、積層共振体、犠牲層および支持膜を覆うレジスト膜を設ける工程と、レジスト膜に対して、犠牲層の表面の一部が露出するように孔部を設ける工程と、孔部から第1エッティング液を導入することによって犠牲層を除去し、積層共振体の下方領域に前空隙部を設ける工程と、孔部から第2エッティング液を導入し、支持膜における積層共振体の下方領域において、前空隙部を拡大して空隙部を設ける工程と、レジスト膜を除去する工程と、を含むことを特徴とする。

【0012】このような構成によると、空隙部サイズについて、より良好に制御することができるとともに、第1の側面と同様の効果を奏すことができる。具体的には、まず、支持膜上に設けられた犠牲層をエッティングすることによって、積層共振体の下方に前空隙部が形成される。次いで、空隙部は、当該前空隙部を通じて積層共振体の下方に回り込んだ第2エッティング液が、前空隙部を拡大することにより形成される。前空隙部を適切なサイズで開設しておくことによって、空隙部については、基板の広がり方向において必要以上に広がるのを回避して、良好なサイズで形成することができ、素子の小型化に資することができる。また、第2の側面に係る製造方法は、犠牲層の加工により空隙部を任意の形状に制御できるので、フィルタ設計の自由度に優れ、共振特性の改善に有効である。第1電極膜にできる段差は、犠牲層の膜厚と同じだけであるので、非常に小さく抑えることができる。そのため、空隙部を形成した後の第1電極膜の強度が過度に低下するのを抑制することができる。このように、本発明の第2の側面によると、空隙部のサイズを好適に制御しつつ、第1の側面に関して

上述したのと同様に、良好な圧電薄膜共振素子を製造することが可能となるのである。

【0013】支持膜の形成には、二酸化ケイ素、酸化マグネシウム、酸化亜鉛、PSG（リン添加シリコンガラス）、BSG（ホウ素添加シリコンガラス）、BPSG（ホウ素とリンを添加したシリコンガラス）、SOG（スピンドルガラス）などの絶縁材料を用いることができる。支持膜の膜厚は、好ましくは、1～50μmであり、空隙部の深さ以上としてもよい。

【0014】第1電極膜および第2電極膜の形成には、モリブデン、タンタル、タンゲステン、ニッケル、ニオブ、金、白金、銅、パラジウム、アルミニウム、チタン、クロム、窒化チタン、窒化タンタル、窒化ニオブ、モリブデンシリサイド、タンタルシリサイド、タンゲステンシリサイド、ニオブシリサイド、クロムシリサイドなどを用いることができる。

【0015】圧電膜の形成には、窒化アルミニウムや酸化亜鉛などを用いることができる。また、本発明の第2の側面において、犠牲層は、酸化マグネシウムや酸化亜鉛などにより形成することができ、第1電極膜よりも薄く形成するのが好ましい。

【0016】本発明の第2の側面において、好ましい実施の形態では、犠牲層を設けた後、支持膜と犠牲層とが面一状となるように、支持膜上に追加支持膜材料を積層する工程を更に行う。好ましくは、犠牲層は、第1ランド部、第2ランド部、およびこれらに接続する連結部を有するように形成され、積層共振体は、第1ランド部を覆うように形成され、孔部は、第2ランド部の少なくとも一部の表面が露出するように形成される。また、レジスト膜に対して孔部を設ける工程では、第1電極膜における犠牲層に重なる部位の表面を露出させた後、当該露外面を除去することによって犠牲層の表面の一部を露出させてもよい。

【0017】本発明において、支持膜に対するエッティング液および第2エッティング液としては、フッ化水素酸水溶液、酢酸水溶液、りん酸水溶液などを用いることができる。一方、本発明の第2の側面において、犠牲層に対する第1エッティング液としては、酢酸水溶液やりん酸水溶液を用いることができる。

【0018】本発明の第3の側面によると、圧電薄膜共振器が提供される。この圧電薄膜共振素子は、基板と、基板に積層された支持膜と、支持膜上において、支持膜に接する第1電極膜、第2電極膜、およびこれらの間の圧電膜からなる積層共振体と、を備え、支持膜における積層共振体の下方領域の一部には空隙部が設けられており、第1電極膜における空隙部に臨む領域の一部は退避していることを特徴とする。

【0019】このような構成の圧電薄膜共振素子は、上述の第2の側面において、追加支持膜材料を積層形成しない場合の製造方法で作製される。したがって、第3の

側面に係る圧電薄膜共振素子によても、第2の側面に関する上述したのと同様の効果が奏される。

【0020】

【発明の実施の形態】図1は、本発明の第1の実施形態における一連の工程を平面図で表したものである。図2は、図1に示す一連の工程についての線II—IIに沿った断面図であり、図3は、線III—IIIに沿った断面図である。

【0021】本実施形態では、まず、図1(a)、図2(a)および図3(a)に示すように、スパッタリング法などにより、シリコン基板11上に、酸化マグネシウムを5μmの厚さで成膜して、支持膜12を形成する。

【0022】次に、図1(b)、図2(b)および図3(b)に示すように、支持膜12上に、第1電極膜13、圧電膜14、第2電極膜15からなる積層共振体16を形成する。具体的には、まず、スパッタリング法などにより、支持膜12上にモリブデン膜を100nmの厚さで成膜する。次いで、フォトリソグラフィとドライエッティングまたはウェットエッティングとにより、モリブデン膜を所望の形状に加工して第1電極膜13を形成する。ドライエッティングとしてはRIEを採用することができる。また、ウェットエッティングにおいては、エッティング液として、硝酸第二セリウムアンモニウムを用いることができる。次いで、スパッタリング法などにより、窒化アルミニウム膜を500nmの厚さで成膜する。本発明では、ここで、窒化アルミニウムの代わりに酸化亜鉛を用いることもできる。次いで、スパッタリング法などにより、窒化アルミニウム膜上にモリブデン膜を100nmの厚さで成膜する。次いで、第1電極膜13と同様の方法により、モリブデン膜を所望の形状に加工して第2電極膜15を形成する。次いで、フォトリソグラフィとウェットエッティングとにより窒化アルミニウム膜を所望の形状に加工して、第1電極膜13および第2電極膜15に挟まれた部位を有する圧電膜14を形成する。このとき、ウェットエッティングにおいては、エッティング液として、加熱リン酸を用いることができる。ただし、窒化アルミニウムに代えて酸化亜鉛により圧電膜14を形成する場合には、エッティング液には酢酸水溶液を用いる。

【0023】次に、図1(c)、図2(c-1)および図3(c-1)に示すように、支持膜12および積層共振体16を覆うようにフォトレジスト17を形成し、当該フォトレジスト17に対して、フォトリソグラフィにより、支持膜12の表面が露出するように、孔部18を開設する。フォトレジスト17としては、例えば、ノボラック系ポジ型レジストを用いる。本実施形態では、孔部18は、第1電極膜13の近傍、即ち図1および図2においては、左右両脇に1つずつ設けられる。次いで、これを、酸化マグネシウムよりなる支持膜12に対するエッティング液としての酢酸水溶液に浸漬するなどして、

酢酸水溶液を孔部18へと導入する。ただし、簡略化の観点より、エッティング液は図示しない。すると、図2(c-2)および図3(c-2)に示すように、支持膜12に対するエッティングが、各孔部18に臨む部位を中心、等方的に進行する。そして、更にエッティングが進行すると、図2(c-3)および図3(c-3)に示すように、等方的に進行してきた2つのエッティングパスが連通する。この時点で基板11を酢酸水溶液から引き上げてエッティングを停止して、空隙部19の形成を終了する。

【0024】次に、図1(d)、図2(d)および図3(d)に示すように、フォトレジスト17を除去することによって、第1電極膜13の下方に5μmの深さの空隙部19を有する圧電薄膜共振素子10が完成する。

【0025】以上の一連の工程によって作製された圧電薄膜共振素子10をはしご型に接続することにより、バンドパスフィルタを構成することができる。例えば、第1電極膜13と第2電極膜14との重なり部分の一辺の長さAを、直列共振器で40μm程度に、並列共振器では100μm程度にすると、中心周波数が5GHz帯のフィルタを構成することができる。

【0026】図4は、本発明の第2の実施形態における一連の工程を平面図で表したものである。図5は、図4に示す一連の工程についての線V—Vに沿った断面図であり、図6は、線VI—VIに沿った断面図である。

【0027】本実施形態では、まず、図4(a)、図5(a)および図6(a)に示すように、シリコン基板21に対して支持膜22および犠牲層22'を形成する。具体的には、プラズマCVD法などにより、シリコン基板21上に、二酸化ケイ素膜を5μmの厚さで成膜することによって、支持膜22を形成する。続いて、電子ビーム蒸着法などにより、支持膜22上に、酸化マグネシウム膜を10nmの厚さで成膜し、これをフォトリソグラフィとウェットエッティングまたはドライエッティングによりパターン加工することによって、犠牲層22'を形成する。ウェットエッティングの場合には、エッティング液として酢酸水溶液を用いる。本実施形態では、犠牲層22'は、第1アイランド部22'aと、2つの第2アイランド部22'bと、これらを接続する連結部22'cとからなるように、パターン形成される。犠牲層22'は、支持膜22および後出の第1電極膜23に対してエッティングの選択比が大きい材料によって形成することができ、例えば酸化亜鉛などを用いることもできる。

【0028】次に、図4(b)、図5(b)および図6(b)に示すように、支持膜22上において、第1電極膜23、圧電膜24、第2電極膜25からなる積層共振体26を形成する。具体的には、まず、スパッタリング法などにより、モリブデン膜を100nmの厚さで成膜する。次いで、フォトリソグラフィとドライエッティングまたはウェットエッティングにより、モリブデン膜を所望の形状に加工して第2電極膜25を形成する。次いで、フォトリソグラフィとウェットエッティングにより窒化アルミニウム膜を所望の形状に加工して、第1電極膜23および第2電極膜25に挟まれた部位を有する圧電膜24を形成する。

部が犠牲層22'に重なるように加工して、第1電極膜23を形成する。このとき、第1電極膜23の図中下面には、犠牲層22'に対応して、10nmの段差が生じている。次いで、スパッタリング法などにより、後に圧電膜24となる窒化アルミニウム膜を500nmの厚さで成膜する。次いで、スパッタリング法などにより、モリブデン膜を100nmの厚さで成膜する。次いで、フォトリソグラフィとドライエッティングまたはウェットエッティングにより、モリブデン膜を所望の形状に加工して第2電極膜25を形成する。次いで、フォトリソグラフィとウェットエッティングにより窒化アルミニウム膜を所望の形状に加工して、第1電極膜23および第2電極膜25に挟まれた部位を有する圧電膜24を形成する。

【0029】次に、図4(c)、図5(c-1)および図6(c-1)に示すように、支持膜22および積層共振体26を覆うようにフォトレジスト27を形成し、当該フォトレジスト27に対して、フォトリソグラフィにより、犠牲22'の第2アイランド部22'bの表面が露出するように、孔部28を開設する。次いで、これを、酸化マグネシウムよりなる犠牲層22'に対するエッティング液としての酢酸水溶液に浸漬し、酢酸水溶液を孔部28に導入する。これによって、積層共振体26の下方に渡って前空隙部29'が形成される。このとき二酸化ケイ素よりなる支持膜22は、酢酸水溶液によって有意にはエッティングされない。前空隙部29'の形成の後、更に、二酸化ケイ素よりなる支持膜22に対するエッティング液としてのフッ化水素酸緩衝液に浸漬する。このときフッ化水素酸緩衝液は、前空隙部29'を通って、積層共振体26の下方中央領域へと直ちに浸透する。そして、支持膜22に対するエッティングは、図5(c-2)および図6(c-2)に示すように、第1電極膜23から基板21に向かう方向に一様に進行する。次いで、図5(c-3)および図6(c-3)に示すように、支持膜22が、その膜厚分の5μmの深さにまでエッティングされた時点で基板21をフッ化水素酸緩衝液から引き上げ、エッティングを停止する。

【0030】次に、図4(d)、図5(d)および図6(d)に示すように、フォトレジスト27を除去することによって、第1電極膜23の下方に5μmの深さの空隙部29を有する圧電薄膜共振素子20が完成する。

【0031】以上の一連の工程によって作製された圧電薄膜共振素子20をはしご型に接続することにより、第1の実施形態の圧電薄膜共振素子10と同様に、バンドパスフィルタを構成することができる。

【0032】本実施形態では、支持膜22に対するエッティングは、図5(c-2)および図6(c-2)に示すように、第1電極膜23から基板21に向かう方向に一様に進行し、図5(c-3)および図6(c-3)に示すように、支持膜22の膜厚分が侵食除去された時点で

エッティングを停止することができる。したがって、支持膜22のエッティングに要する時間は、当該支持膜22の膜厚に依存し、最終的に形成される空隙部29の広がり方向の大きさには依存しない。すなわち、略等方的に進行するエッティングにおいては、支持膜22の膜厚方向に5μmエッティングが進行したときには、積層共振体26から離れる方向への空隙部29の広がりも、もともと第2アイランド部22'bが存在していた部位から5μmに抑えられるのである。このように空隙部29の広がりを抑制することができるので、複数の圧電薄膜共振素子によってはしご型に接続してバンドパスフィルタを構成する場合においては、フィルタ全体を小型化することができる。また、犠牲層22'を任意に加工することにより、空隙部29の形状を制御することができるので、設計の自由度が大きくなり、その結果、フィルタ特性を向上することも可能となる。

【0033】図7は、本発明の第3の実施形態に係る圧電薄膜共振素子30の断面図であり、第2の実施形態における図6(d)に相当する。具体的には、シリコン基板31に対して、支持膜32と、積層共振体36とが形成されている。支持膜31には、空隙部39が開設されており、積層共振体36は、第1電極膜33、圧電膜34、第2電極膜35からなる。各構成材料については、第2の実施形態に関して上述したのと同様である。本実施形態では、第2の実施形態に係る図4(a)、図5(a)および図6(a)に相当する工程において、支持膜31を10μmの膜厚で形成する。そして、第2の実施形態に係る図5(c-2)および図6(c-2)に相当する工程において、フッ化水素酸緩衝液による支持膜31に対するエッティングを、積層共振体36から基板31の方向へ5μm進行した時点で停止する。他の一連の工程については、第2の実施形態に関して上述したのと同様である。

【0034】本実施形態では、積層共振体36の下方に位置する空隙部39の下方にも支持膜32が残存し、基板31と支持膜32との接触面積が広く確保されている。その結果、両者の密着性が良好なものとなっている。

【0035】図8は、本発明の第4の実施形態に係る圧電薄膜共振素子40の製造過程における1つの工程の平面図であり、第2の実施形態における図4(b)に相当する。具体的には、シリコン基板41に対して、支持膜42と、犠牲層42'、第1電極膜43、圧電膜44および第2電極膜45からなる積層共振体46とが形成された構造を表している。本実施形態における犠牲層42'は、積層共振体46の下方に位置する第1アイランド部42'aと、積層共振体46からは位置ずれして設けられている4つの第2アイランド42'bと、第1アイランド部42'aと、各第2アイランド部42'bとを接続する4本の連結部42'cとからなる。他の構成

は、第2の実施形態に関して上述したのと同様である。

【0036】本実施形態では、第2の実施形態に係る図4(c)、図5(c-1)および図6(c-1)に相当する工程において、支持膜42、犠牲層42'および積層共振体46を覆うように設けられたフォトレジスト47に対して、犠牲層42'の各第2アイランド部42'bの表面が露出するように、計4つの孔部48を開設する。そして、当該孔部48を介して、犠牲層42'に対するエッティング液である酢酸水溶液を導入することによって、積層共振体46の下方に前空隙部を形成し、続いて、支持膜42に対するエッティング液であるフッ化水素酸緩衝液を導入することによって、空隙部を形成する。他の一連の工程については、第2の実施形態に関して上述したのと同様である。本実施形態においては、より多数の孔部48を介してエッティング液が導入されるため、犠牲層42'および支持膜42のエッティング時間を短縮することが可能となる。

【0037】図9は、本発明の第5の実施形態における一連の工程を平面図で表したものである。図10は、図9に示す一連の工程についての線X-Xに沿った断面図であり、図11は、線X1-X1に沿った断面図である。

【0038】本実施形態では、まず、図9(a)、図10(a)および図11(a)に示すように、シリコン基板51に対して支持膜52および犠牲層52'を形成する。具体的には、プラズマCVD法などにより、シリコン基板51上に、二酸化ケイ素膜を5μmの厚さで成膜することによって、支持膜52を形成する。続いて、電子ビーム蒸着法などにより、支持膜52上に、酸化マグネシウム膜を10nmの厚さで成膜し、これをフォトリソグラフィとウェットエッティングまたはドライエッティングとによりパターン加工することによって、犠牲層52'を形成する。ウェットエッティングの場合には、エッティング液として酢酸水溶液を用いる。本実施形態では、犠牲層52'は、第1アイランド部52'aと、2つの第2アイランド部52'bと、これらを接続する連結部52'cとからなるように、パターン形成される。犠牲層52'は、支持膜52および後出の第1電極膜53に対してエッティングの選択比が大きい材料によって形成することができ、例えば酸化亜鉛などを用いることもできる。

【0039】次に、図9(b)、図10(b)および図11(b)に示すように、プラズマCVD法などにより、支持膜52および犠牲層52'上に、二酸化ケイ素を10nmの厚みで、即ち犠牲層52'と同じ厚みで積層する。

【0040】次に、図9(c)、図10(c)および図11(c)に示すように、レジストを用いたエッチャック法により、犠牲層52'上に堆積する二酸化ケイ素を除去し、支持膜52と犠牲層52'が面一となるよう

に平坦化する。

【0041】次に、図9(d)、図10(d)および図11(d)に示すように、支持膜52上において、第1電極膜53、圧電膜54、第2電極膜55からなる積層共振体56を形成する。具体的な工程は、第2の実施形態に関して上述したのと同様である。ただし、第2の実施形態とは異なり、本実施形態では第1電極膜53には段差が生じていない。

【0042】次に、図9(e)、図10(e)および図11(e)に示すように、支持膜52、犠牲膜52'および積層共振体56を覆うようにフォトレジスト57を形成し、当該フォトレジスト57に対して、フォトリソグラフィにより、犠牲膜52'の第2アイランド部52'bの表面が露出するように、孔部58を開設する。次いで、これを、酸化マグネシウムよりなる犠牲層52'に対するエッティング液としての酢酸水溶液に浸漬して、酢酸水溶液を孔部58に導入する。これによって、積層共振体56の下方に前空隙部59'が形成される。このとき二酸化ケイ素よりなる支持膜52はエッティングされない。

【0043】前空隙部59'の形成の後、更に、二酸化ケイ素よりなる支持膜52に対するエッティング液としてのフッ化水素酸緩衝液に浸漬する。このときフッ化水素酸緩衝液は、前空隙部59'を通って、積層共振体56の下方中央領域に対しても直ちに浸透する。そして、支持膜52に対するエッティングは、第1電極膜53から基板51に向かう方向に一様に進行する。次いで、支持膜52が、その膜厚分の5μmの深さにまでエッティングされた時点で基板51をフッ化水素酸緩衝液から引き上げ、エッティングを停止する。

【0044】次に、図9(f)、図10(f)および図11(f)に示すように、フォトレジスト57を除去することによって、第1電極膜53の下方に5μmの深さの空隙部59を有する圧電薄膜共振素子50が完成する。

【0045】以上の一連の工程によって作製された圧電薄膜共振素子50をはしご型に接続することにより、第1の実施形態の圧電薄膜共振素子10および第2の実施形態の圧電薄膜共振素子20と同様に、バンドパスフィルタを構成することができる。

【0046】本実施形態では、支持膜52と犠牲層52'を面一状にしたうえで、第1電極膜53が積層形成されるので、図10(f)および図11(f)に示されるように、最終的に得られる圧電薄膜共振素子50において、第1電極膜53は段差を有していない。その結果、共振特性に生じ得るスプリアスを低減することができる。

【0047】上述の第2～5の実施形態においては、積層共振体の第1電極膜は、支持膜上に形成された犠牲層の一部を覆うように形成され、フォトレジスト膜に開設

される孔部は、犠牲層において第1電極膜に覆われていない箇所を露出するような位置に形成されている。本発明では、このような構成に代えて、第1電極膜を、犠牲層の全てを覆うように形成し、レジスト膜に対して孔部を形成する工程において、まず、第1電極膜の表面を露出させ、その後、孔部に臨む第1電極膜をドライエッティングで除去することによって、犠牲層の表面の一部を露出させるという構成を採用することもできる。このような構成は、空隙部の形成を良好に制御するうえで好適である。

【0048】以上のまとめとして、本発明の構成およびそのバリエーションを以下に付記として列挙する。

【0049】(付記1) 基板上に支持膜を設ける工程と、前記支持膜上に、前記支持膜に接する第1電極膜、第2電極膜、およびこれらに挟まれた圧電膜からなる積層共振体を形成する工程と、前記積層共振体および前記支持膜を覆うレジスト膜を設ける工程と、前記レジスト膜に対して、前記支持膜の表面の一部が露出するように孔部を設ける工程と、前記孔部からエッティング液を導入し、前記支持膜における前記積層共振体の下方領域の一部を除去して空隙部を設ける工程と、前記レジスト膜を除去する工程と、を含むことを特徴とする、圧電薄膜共振素子の製造方法。

(付記2) 基板上に支持膜を設ける工程と、前記支持膜上に、犠牲層をパターン形成する工程と、前記支持膜上に、犠牲層の少なくとも一部に重ねて、前記支持膜および前記犠牲層に接する第1電極膜、第2電極膜、およびこれらに挟まれた圧電膜からなる積層共振体を形成する工程と、前記積層共振体、前記犠牲層および前記支持膜を覆うレジスト膜を設ける工程と、前記レジスト膜に対して、前記犠牲層の表面の一部が露出するように孔部を設ける工程と、前記孔部から第1エッティング液を導入することによって前記犠牲層を除去し、前記積層共振体の下方領域に前空隙部を設ける工程と、前記孔部から第2エッティング液を導入し、前記支持膜における前記積層共振体の下方領域において、前記前空隙部を拡大して空隙部を設ける工程と、前記レジスト膜を除去する工程と、を含むことを特徴とする、圧電薄膜共振素子の製造方法。

(付記3) 前記レジスト膜に対して前記孔部を設ける工程は、前記第1電極膜における前記犠牲層に重なる部位の表面を露出させる工程と、当該露出面を除去することによって前記犠牲層の表面の一部を露出させる工程とを含む、付記2に記載の圧電薄膜共振素子の製造方法。

(付記4) 前記犠牲層を設けた後、前記支持膜と前記犠牲層とが面一状となるように、前記支持膜上に追加支持膜材料を積層する工程を含む、付記2または3に記載の圧電薄膜共振素子の製造方法。

(付記5) 前記犠牲層は、第1ランド部、第2ランド部、およびこれらに接続する連結部を有するように形成

され、前記積層共振体は、第1ランド部を覆うように形成され、前記孔部は、第2ランド部の少なくとも一部の表面が露出するように形成される、付記2または4に記載の圧電薄膜共振素子の製造方法。

(付記6) 前記犠牲層は、前記第1電極膜よりも薄く形成される、付記2から5のいずれか1つに記載の圧電薄膜共振素子の製造方法。

(付記7) 前記支持膜は、前記空隙部の深さ以上の膜厚で形成される、付記1から6のいずれか1つに記載の圧電薄膜共振素子の製造方法。

(付記8) 前記支持膜の膜厚は、1～50μmである付記1から7のいずれか1つに記載の圧電薄膜共振素子の製造方法。

(付記9) 前記支持膜は絶縁性を有する材料により形成される、付記1から8のいずれか1つに記載の圧電薄膜共振素子の製造方法。

(付記10) 前記材料は、二酸化ケイ素、酸化マグネシウム、酸化亜鉛、PSG、BSG、BPSG、SOGからなる群より選択される付記9に記載の圧電薄膜共振素子の製造方法。

(付記11) 前記第1電極膜および／または前記第2電極膜は、モリブデン、タンタル、タングステン、ニッケル、ニオブ、金、白金、銅、パラジウム、アルミニウム、チタン、クロム、窒化チタン、窒化タンタル、窒化ニオブ、モリブデンシリサイド、タンタルシリサイド、タングステンシリサイド、ニオブシリサイド、クロムシリサイドからなる群より選択される材料により形成される、付記1から10のいずれか1つに記載の圧電薄膜共振素子の製造方法。

(付記12) 前記エッティング液または前記第2エッティング液は、フッ化水素酸、酢酸水溶液、りん酸水溶液からなる群より選択される、付記1から11のいずれか1つに記載の圧電薄膜共振素子の製造方法。

(付記13) 前記犠牲層は、酸化マグネシウムおよび酸化亜鉛のいずれか一方を用いて形成される、付記2から12のいずれか1つに記載の圧電薄膜共振素子の製造方法。

(付記14) 前記第1エッティング液は、酢酸水溶液およびりん酸水溶液から選択される、付記2から13のいずれか1つに記載の圧電薄膜共振素子の製造方法。

(付記15) 下部電極と、上部電極と、それらの間に挟まれた圧電体とから成る積層共振体を基体上に支持して成る構成において、前記下部電極と前記基体との間に、所定範囲の第1の空隙と、第1の空隙に連続してそれよりも広い範囲の第2の空隙とを有して成ることを特徴とする、圧電薄膜共振素子。

(付記16) 基板と、基板に積層された支持膜と、支持膜上において、支持膜に接する第1電極膜、第2電極

膜、およびこれらの間の圧電膜からなる積層共振体と、を備え、支持膜における積層共振体の下方領域の一部には空隙部が設けられており、第1電極膜における空隙部に臨む領域の一部は退避していることを特徴とする、圧電薄膜共振素子。

#### 【0050】

【発明の効果】以上のように、本発明によれば、基板に凹部ないし貫通孔を設けることなく、また、基板に設けた凹部に充填した犠牲層材料と基板とを面一上にするための研磨技術を用いることなく、第1電極膜ないし下部電極の下方に良好に空隙部を設けることによって、良好な圧電薄膜共振素子を製造することができる。このような圧電薄膜共振素子は、耐電力特性において弾性表面波フィルタ等の素子に比べて優れた特性を有するものである。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施形態における一連の工程を平面図で表したものである。

【図2】図1に示す一連の工程についての線II—IIに沿った断面図である。

【図3】図1に示す一連の工程についての線III—IIIに沿った断面図である。

【図4】本発明の第2の実施形態における一連の工程を平面図で表したものである。

【図5】図4に示す一連の工程についての線V—Vに沿った断面図である。

【図6】図4に示す一連の工程についての線VI—VIに沿った断面図である。

【図7】本発明の第3の実施形態に係る平面図である。

【図8】本発明の第4の実施形態に係る断面図である。

【図9】本発明の第5の実施形態における一連の工程を平面図で表したものである。

【図10】図9に示す一連の工程についての線X—Xに沿った断面図である。

【図11】図9に示す一連の工程についての線XI—XIに沿った断面図である。

#### 【符号の説明】

10, 20, 30, 40, 50 圧電薄膜共振素子

11, 21, 31, 41, 51 シリコン基板

12, 22, 32, 42, 52 支持膜

22', 32', 42', 52' 犠牲層

13, 23, 33, 43, 53 第1電極膜

14, 24, 34, 44, 54 圧電膜

15, 25, 35, 45, 55 第2電極膜

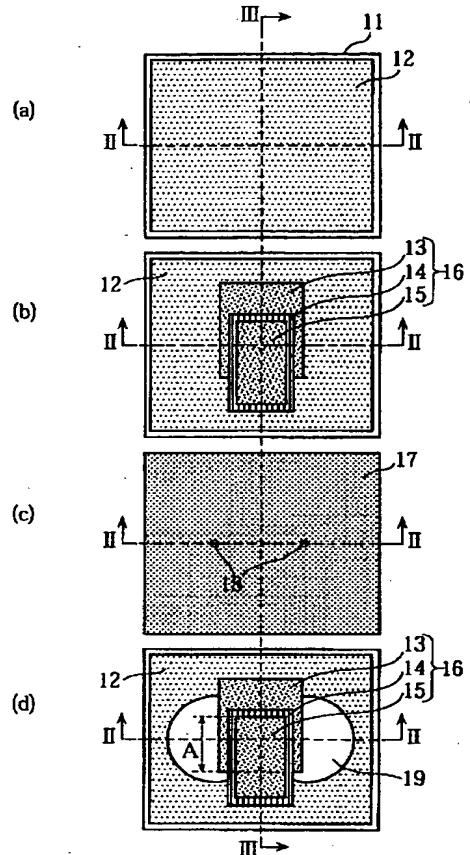
16, 26, 36, 46, 56 積層共振体

19, 29, 39, 59 空隙部

19', 29', 59' 前空隙部

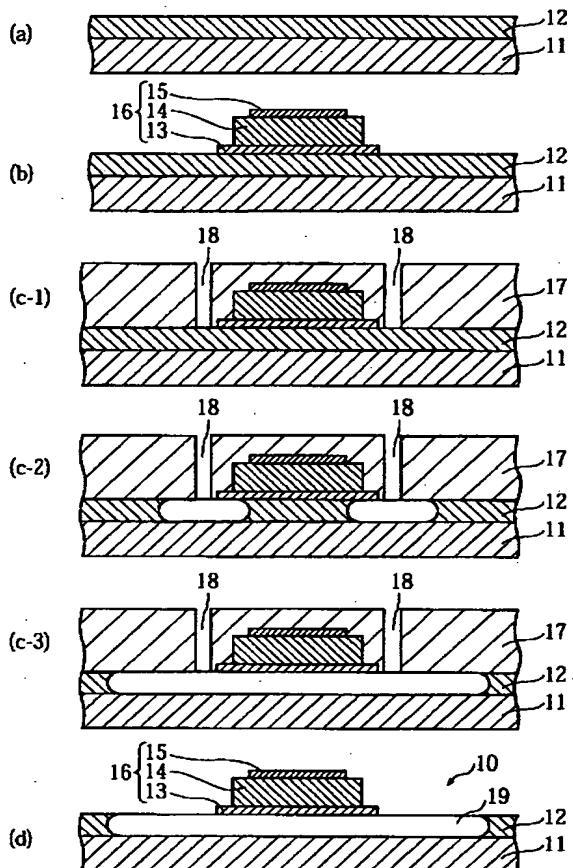
【図1】

## 第1の実施形態に係る一連の工程



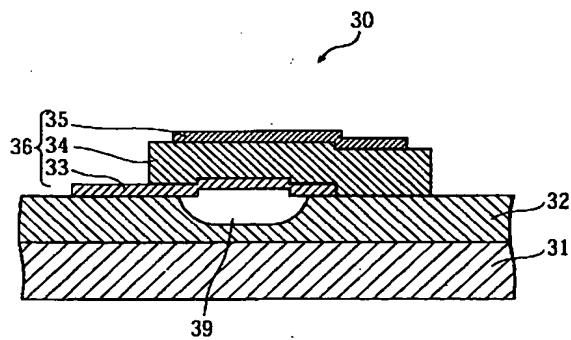
【図2】

## 図1の一連の工程における線II-IIに沿った断面図



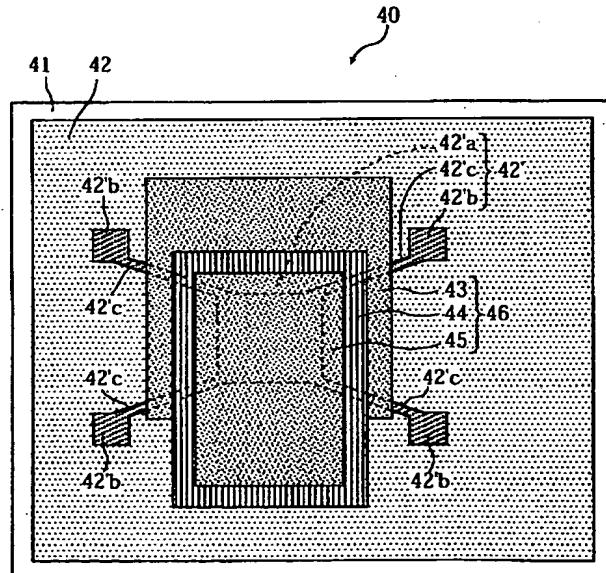
【図7】

## 第3の実施形態に係る断面図



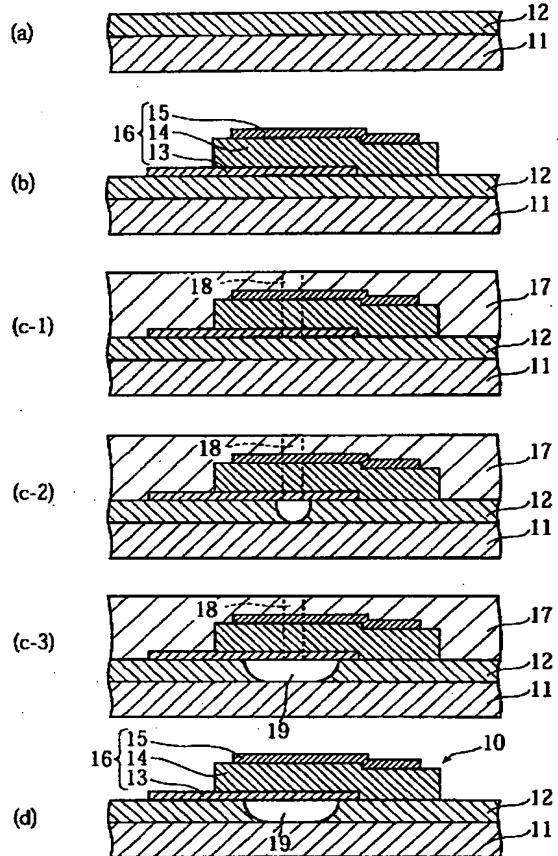
【図8】

## 第3の実施形態に係る断面図



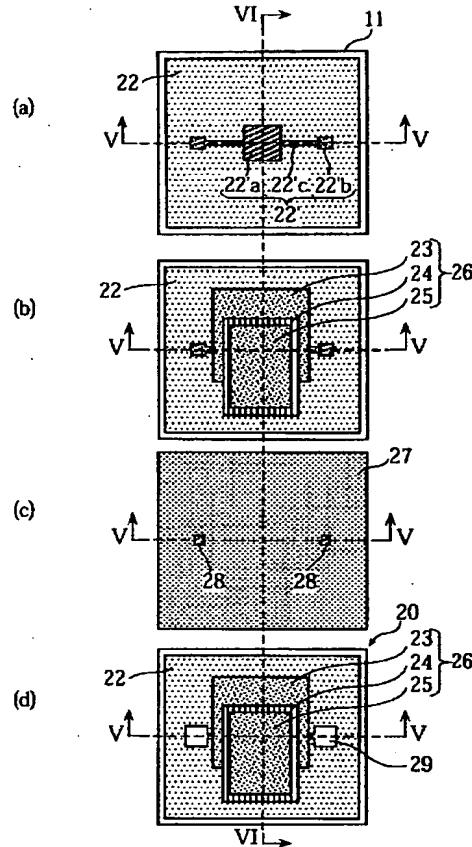
【図3】

図1の一連の工程における線III-IIIに沿った断面図



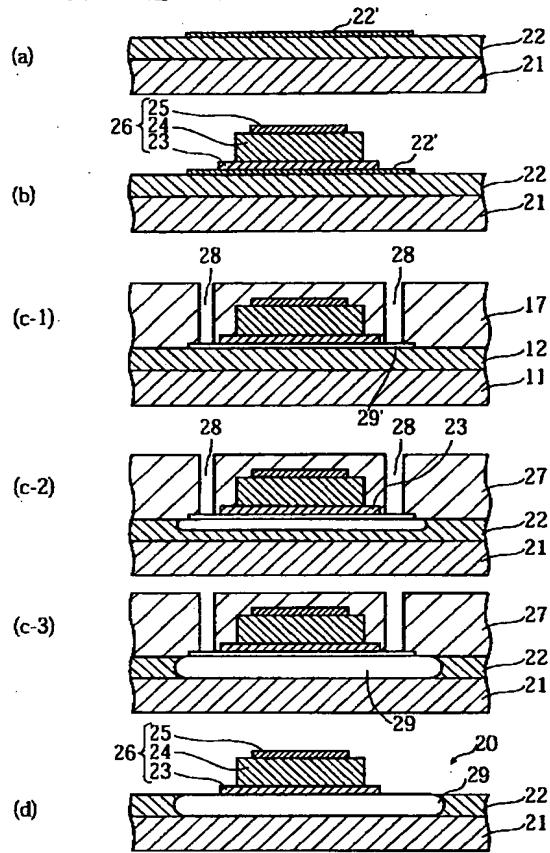
【図4】

第2の実施形態に係る一連の工程



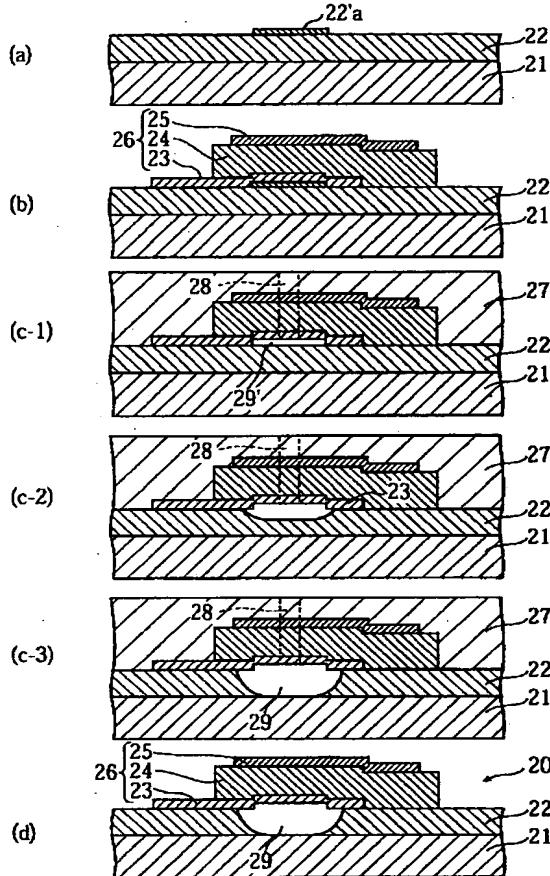
【図5】

図4の一連の工程における線V-Vに沿った断面図

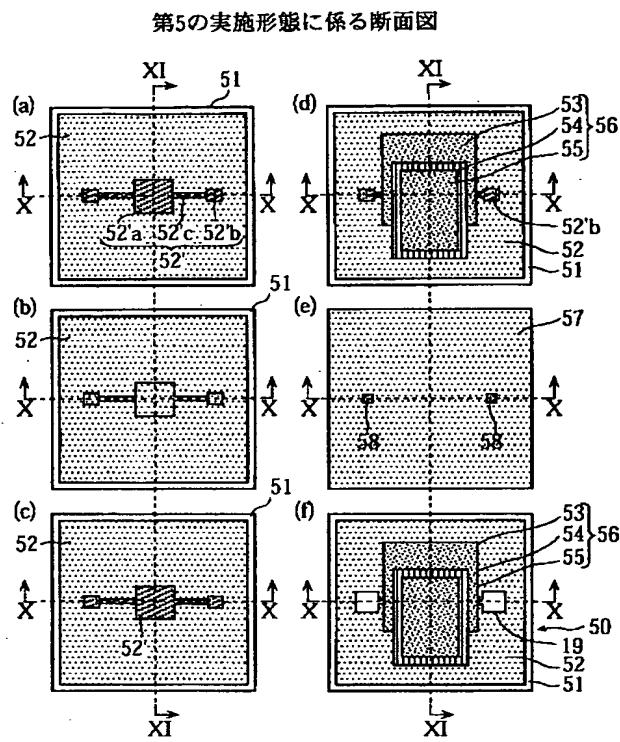


【図6】

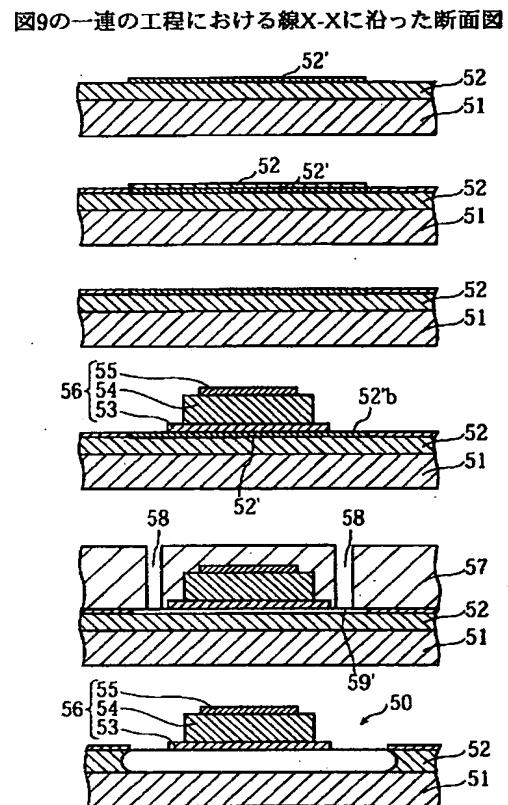
図1の一連の工程における線VI-VIに沿った断面図



【図9】

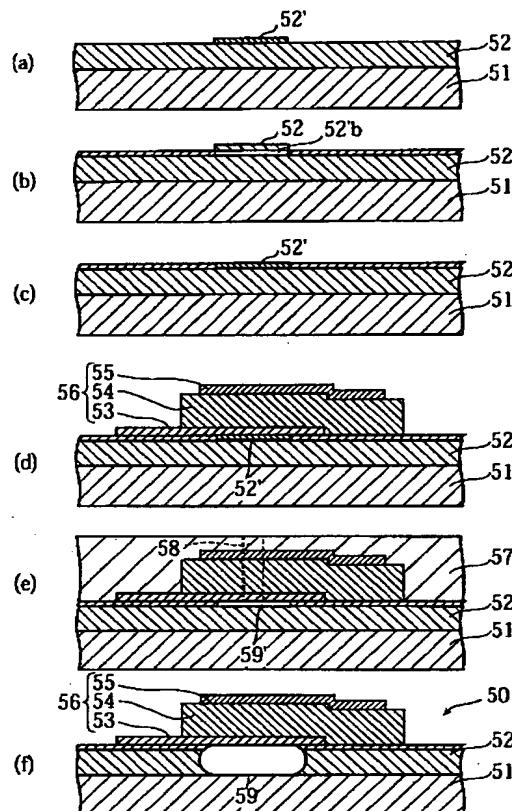


【図10】



## 【図11】

図9の一連の工程における線XI-XIに沿った断面図



## フロントページの続き

(72) 発明者 中谷 忠司

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72) 発明者 宮下 勉

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72) 発明者 佐藤 良夫

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

Fターク(参考) 5J108 BB07 BB08 CC04 CC11 EE03

EE07 KK01 MM08